

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 3/06

(45) 공고일자 1993년 10월 11일
(11) 공고번호 특 1993-0009801

(21) 출원번호	특 1990-0017306	(65) 공개번호	특 1991-0008582
(22) 출원일자	1990년 10월 29일	(43) 공개일자	1991년 05월 31일
(30) 우선권주장	01-281735 1989년 10월 31일 일본(JP)		
(71) 출원인	가부시기가이샤 도시바 아오이 조이치		
	일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 초오 72		

(72) 발명자 나카무라 노부타카
일본국 도오쿄도 오매시 스에히로 초오 2-9 가부시기가이샤 도시바 오매 공장내
(74) 대리인 나영환, 도두형

심사관 : 홍순우 (특자공보 제3433호)

(54) 기억장치 식별 기능을 갖는 컴퓨터 시스템

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

기억장치 식별 기능을 갖는 컴퓨터 시스템

[도면의 간단한 설명]

제 1 도는 본 발명의 실시예에 관한 컴퓨터 시스템을 도시한 블록도.

제 2 도는 상기 실시예에 관한 외부기억장치를 도시한 블록도.

제 3 도는 상기 실시예에 관한 ID 회로를 도시한 블록도.

제 4 도는 상기 실시예의 FDD에 사용되는 디스크를 설명하는 도면.

제 5 도는 상기 실시예의 FDD에 사용되는 헤드를 설명하는 도면.

제 6 도 내지 제 8 도는 상기 실시예의 동작을 설명하는 플로차트.

* 도면의 주요부분에 대한 부호의 설명

10 : CPU	11 : ROM
12 : RAM	13 : FDD
14 : FDC	15 : ID회로
16 : 인터페이스선	17 : 디스크
18 : 헤드	20 : 메모리
21 : 카운터	24 : 트랙 센서

[발명의 상세한 설명]

본 발명은 컴퓨터에 있어서, 외부 기억장치로서 사용되는 장치중에서 특히 플로피 디스크 장치에 관한 것으로, 시스템에 접속되는 플로피 디스크 장치의 사양을 식별하는 기억장치의 식별 기능을 구비하는 시스템에 관한 것이다.

종래 퍼스널 컴퓨터등의 컴퓨터 시스템에 있어서는 외부 기억장치로서 플로피 디스크 장치(FDD)가 사용되고 있다. FDD에는 사양이 다른 복수종류의 것이 개발되고 있다. 사양에는 기록매체인 디스크의 물리적사이즈(8인치, 5.25인치, 3.25인치), 기록밀도, 트랙의 밀도(트랙수)등의 항목이 있다.

FDD와 컴퓨터 시스템을 접속하기 위해서는 FDD 전용의 인터페이스가 필요하나, 통상으로는 복수종의

BEST AVAILABLE COPY

FDD와 접속할수 있는 표준적인 인터페이스가 준비된다. 이 인터페이스는 플로피 디스크 컨트롤러(FDC)로 호칭되며, LSI회로로서 개발되고 있다.

컴퓨터 시스템에서 초기시에 중앙처리 장치(CPU)는 시스템에 접속되는 FDD의 유무 및 종류를 식별하는 처리를 실행한다. 이것은 CPU가 FDD의 사양에 따라 FDD의 제어내용을 변화시킬 필요가 있기 때문이다. 즉 FDD의 사양에 따라, FDD와의 데이터 전송비율, 스텝 비율(헤드가 탐색할때의 1트랙당의 이동 시간), 최대 트랙수, 최대 섹터수 등의 파라미터가 변화하기 때문에 CPU는 그 각 파라미터에 따른 제어를 실시할 필요가 있다.

FDD의 종류를 식별하는 방식으로는 헤드를 실제로 탐색시켜서 트랙 0의 위치를 기준으로하여 탐색 동작을 위해 발생한 스텝 펄스수에 의하여 FDD의 사양의 하나인 트랙수(실린더수)를 식별하는 방식이 있다. 여기에서 스텝 펄스는 헤드를 탑재한 캐리지의 구동원인 스테핑모터를 구동하기 위한 펄스이다. 통상 적으로 1스텝 펄스로, 헤드는 1트랙이동하게 된다. 이 방식에 의하여 시스템에 접속된 FDD의 트랙수를 식별하는 것이 가능하다. 그러나 이 방식에서는 트랙수가 다른 FDD밖에 식별할수 없다. 트랙수가 동일해도, 기록밀도가 다른 FDD를 식별할수 없다.

따라서 종래의 식별 방법으로는 트랙수등의 한정된 사양에 대하여 FDD를 식별할수 있을뿐이다. 이로 인해 예를들면 트랙수는 동일해도, 다른 사양이 상이한 신형의 FDD를 시스템에 접속해도 CPU는 식별할수 없는 것이다.

본 발명의 목적은 컴퓨터 시스템에 접속되는 FDD등의 외부 기억장치에 있어서 사양이 다른 기억장치를 식별할 경우에 사양내용이 단순히 트랙수등으로 한정된 것이 아니라 복수의 상이 다른 기억장치를 자동적으로 식별할수 있는 시스템을 제공하는 것에 있다. 따라서 본 발명에 의하면 기록밀도, 기억장치의 크기, 리렉트기구의 유무등의 사양이 다른것을 시스템에 사용해도 오퍼레이터의 개입없이 자동적으로 그 사양을 식별할 수 있다.

본 발명은 기억장치 식별 기능을 갖는 컴퓨터 시스템에 있어서 상기 시스템의 중앙 처리 장치와 상기 기억장치와의 인터페이스를 구성하고, 복수의 인터페이스 신호선을 개재하여 상기 기억장치에 접속하고, 상기 기억장치와의 사이에서 각종 인터페이스 신호의 교환을 실시하는 인터페이스 유닛 ; 상기 기억장치의 내부에 설치되고, 상기 기억장치의 사양에 따라 설정되는 식별데이터를 격납하는 레지스터 유닛을 구비하고, 이 레지스터 유닛에서 출력되는 상기 식별 데이터를 상기 복수의 인터페이스 신호선의 중앙에서 소정의 신호선을 사용하여 상기 인터페이스 유닛에 전송하는 신호전송수단을 구비하는 식별 회로 유닛 ; 식별 모드시에 상기 인터페이스 유닛을 통해서 상기 식별회로 유닛에서 전송되는 상기 식별데이터에 따라서 상기 시스템에 접속된 상기 기억장치의 사양을 식별하고, 상기 기억장치의 구동제어를 실행하는 제어유닛을 구비한 시스템이다.

이하 도면을 참조하여 본 발명의 실시예를 설명한다.

제 1 도는 본 발명의 컴퓨터 시스템의 주요 부분을 도시한 블록도이다. 본 시스템의 본체는 중앙 처리장치(CPU)(10), ROM(11) 및 RAM(12)를 구비한다. CPU(10)는 ROM(11)에 격납된 프로그램 및 RAM(12)에 격납되는 데이터에 따라 각종의 데이터 처리를 실행한다. 이 시스템은 외부 기억장치로서 단일 또는 복수의 FDD(13)를 접속할수 있는 구성을 갖는다.

시스템은 FDD(13)와 CPU(10)와의 인터페이스를 구성하는 FDC(14)를 구비한다. FDC(14)는 CPU(10)의 제어에 따라 FDD(13)의 구동제어를 실행하고, 각종 인터페이스 신호의 교환을 실행한다. 본 발명의 FDD(13)는 FDD의 사양을 식별하기 위한 식별 데이터(이하, ID 데이터로 기재)를 출력하는 식별 회로(ID회로)(15)를 구비한다.

제 2 도의 도시와 같이 FDD(13)와 FDC(14)와는 복수의 인터페이스선(16)에 의하여 접속되고, 각 인터페이스(16)를 통해서 각종인터페이스 신호의 교환을 실행한다. 인터페이스 신호에는 FDC(14)에서 출력되는 신호로서 예를들면 드라이브 선택신호(DS), 스텝 펄스(SP), 방향 신호(DIR), 헤드절환 신호(SIDE) 및 데이터 기록신호(WD)가 있다. 한편 FDD(13)로부터 출력되는 신호로서는 예를들면 트랙 0신호(TR0), 기록보호 신호(WP) 및 데이터 판독신호(RD)가 있다. 본 발명에서 FDD(13)의 내부에 설치되는 ID 회로(15)는 ID 데이터를 격납하는 메모리(20)를 갖는다. ID회로(15)는 메모리(20)에서 출력되는 ID 데이터를 기록 보호 신호(WP)를 전송하는 인터페이스 신호선(16)을 통하여 FDC (14)에 전송하도록 구성된다.

제 4 도의 도시와 같이 FDD(13)는 기록매체인 디스크(17)에 대하여 데이터의 판독/기록 동작을 실시하는 헤드(18)를 갖는다. 디스크(17)의 양면에는 FDC(14)의 포매팅 동작에 의하여 동상원상의 복수의 트랙(17a)이 형성된다. 통상적으로 디스크(17)의 최외주의 트랙은 트랙 0이다. 헤드(18)는 도시를 생각한 캐리지기구에 설치되고, 캐리지기구의 스테핑모터의 구동력에 의하여 디스크(17)의 반경방향(화살표 A)으로 이동(탐색)하도록 구성되어 있다. FDC(14)로부터의 신호 DIR에 의하여 헤드(18)는 이동할때의 이동방향(내부 방향 또는 외주방향)을 지시받는다. 여기에서 논리레벨 "H"의 신호 DIR이 출력되면 내주방향이 지시된다. 한편 논리 레벨 "L"의 신호 DIR이 출력되면 외주방향이 지시된다. 또 FDC(14)로부터의 스텝 펄스(SP)에 동기하여 헤드(18)는 지정된 목표 트랙까지 이동한다. FDC(14)는 헤드(18)의 이동거리(트랙수)에 따른 펄스수의 스텝 펄스(SP)를 출력한다. 스텝 펄스(SP)가 1펄스이고, 헤드(18)는 1트랙분 이동한다.

ID회로(15)는 제 3 도의 도시와 같이 카운터(21), 래치회로를 구성하는 플립 플롭(22) 및 시프트 레지스터로 구성되는 메모리(20)를 구비한 논리회로이다. 카운터(21)는 클럭단자 CK에 입력되는 스텝 펄스(SP)를 카운트하고, 프리세트된 카운트치(예를들면 160)까지 카운트 업하면 터미널단자 TC로부터 논리레벨 "H"의 신호 TC를 출력한다. 카운터(21)의 클리어단자 CL에는 AND게이트(23)의 출력신호가 입력된다. AND게이트(23)의 각 입력의 단자에는 FDC(14)로부터의 신호 DIR 및 트랙 0센서(24)로부터의 트랙 0신호 TR0가 입력된다.

트랙 0센서(24)는 FDD(13)의 내부에 설치되어 있다. 트랙 0센서(24)는 제 5 도의 도시와 같이 디스

크(17)의 최외주의 트랙 0의 위치에 헤드(18)가 이동하면 그것을 검출하여 논리레벨 "L"의 트랙 0 신호 TR0를 출력한다. FDC(14)는 인터페이스 신호로서 트랙 0 신호 TR0를 수신함으로써 헤드(18)가 탐색의 기준 위치가 되는 가장 외주의 트랙 0에 위치하는 것을 검출한다.

플립플롭(22)는 클럭단자 CK에 입력되는 카운터(21)로부터의 신호 TC에 동기해서 ID 응답상태를 래치하기 위한 래치 회로이다. ID 응답상태란 FDD(13)가 통상의 상태(판독/기록 모드)가 아니고, ID 데이터가 CPU(10)에 출력하는 ID 식별모드의 상태를 의미한다. 플립플롭(22)은 ID응답상태가 세트되면 출력단자 Q로부터 논리레벨 "H"의 신호를 AND 게이트(25)의 한쪽의 입력단자에 출력한다. AND 게이트(25)는 다른쪽의 입력단자에는 FDC(14)로부터의 드라이브 셀렉트신호 DS가 입력되고, 출력단자로부터의 신호 G1을 NAND 게이트(26)의 한쪽의 입력단자에 입력한다. 한편 플립플롭(22)의 출력단자 Q로부터 신호를 AND 게이트(27)의 한쪽 입력단자에 출력한다. AND 게이트(27)는 다른쪽의 입력단자에는 드라이브 셀렉트 신호 DS가 입력되고, 출력단자로부터의 신호 G2를 NAND 게이트(28)의 한쪽의 입력단자에 출력한다.

NAND 게이트(28)는 다른쪽의 입력단자에는 기록보호센서(WP센서)(29)로부터의 기록보호 신호 WP가 입력된다. NAND게이트(28)는 AND 게이트(27)로부터 논리레벨 "H"의 신호 G2가 입력되면 액티브가 되고, 논리 레벨 "L"의 기록보호 신호 WP를 인터페이스 신호로서 전송한다. WP센서(29)는 FDD(13)의 내부에 설치되어있다. WP센서(29)는 디스크(17)를 수납하는 케이스에 설치된 기록보호 검출용 슬라이드를 검출하면 논리레벨 "L"의 신호 WP를 출력한다. FDC(14)는 인터페이스 신호로서 신호 WP를 수신함으로써 디스크(17)에 대한 데이터의 기록동작을 금지한다.

한편, NAND 게이트(26)는 다른쪽의 입력 단자에 메모리(20)에서 출력되는 ID데이터가 입력된다. NAND 게이트(26)는 AND 게이트(25)에서 논리레벨 "H"의 신호 G1이 입력되면 액티브가 되어 메모리(20)에 기억한 ID데이터를 신호 WP를 대신하는 인터페이스 신호로서 FDC(14)에 전송한다.

메모리(20)는 복수(여기에서는 4개)의 프리세트형의 플립플롭(30-33)을 갖는 시프트 레지스터이다. 각 플립플롭(30-33)은 카운터(21)로부터의 신호 TC를 반전하는 인버터(34)의 출력신호가 프리세트단자 PS에 입력됨으로써 데이터 "1"이 프리세트된다. 그러나 여기에서는 플립플롭(31)에 데이터 "1"의 프리세트를 실행하지 않는다. 즉 메모리(20)에는 4비트의 시프트 레지스터가 구성되고, "1011"의 ID 데이터가 인버터(34)의 출력 신호에 동기하여 프리세트(preset)된다. 이 ID데이터는 예를들어 트랙수가 "80"의 형으로 다른 사양이 종래의 형과는 상이한 신형의 FDD의 사양을 뜻한다.

다음에 상기 실시예의 동작을 설명한다.

우선, 제 6 도의 스텝 S1의 식별 처리에서는 CPU(10)는 시스템에 접속된 FDD(13)의 사양중에서 트랙수를 식별한다. 즉, 예를들면 트랙수가 "40"의 사양의 타입(스텝 S6)인지 또는 트랙수가 "80"의 타입인지를 식별한다. 다음에, 본 발명에서는 FDD(13)가 종래의 트랙수가 "80"의 타입이거나(스텝 S7) 또는 트랙수가 "80"이고, 다른 사양이 종래의 형과는 다른 신형의 것(스텝 S5)인지를 식별한다.

스텝 S1의 식별 처리에서는 CPU(10)는 제 7 도에 도시하는 처리를 실행한다. 즉 스텝 S10과 같이 CPU(10)는 FDC(14)를 제어하여 FDD(13)의 헤드(18)를 내주 방향으로 탐색한다. 이 경우 CPU(10)는 헤드(18)의 탐색 제어에 필요한 트랙카운터(도시생략)의 프리세트 카운트치 VC를 예를들어 "39"로 세트한다. (스텝 S11). 그리고 FDC(14)로부터, 예를들어 "43"의 펄스수의 스텝 펄스 SP를 FDD(13)에 공급한다(스텝 S12). 헤드(18)는 제 5 도의 도시와같이 FDC(14)로부터의 스텝 펄스 SP에 동기해서 디스크(17)의 내주방향(화살표 A1)으로 이동한다. CPU(10)는 스텝 펄스 SP를 카운트하고, "43"의 펄스수를 출력한다 (스텝S13, S14). 헤드(18)의 탐색방향을 외주방향으로 전환한다(스텝 S15). 즉 시스템에 접속된 FDD(13)가 트랙수 "40"의 사양 타입이면 헤드(18)는 최내주의 트랙(제 5 도에 도시하는 트랙 N)까지 이동하고, 그 최내주의 트랙에서 외주방향으로 리버스 탐색하게 된다. 또 FDD(13)가 트랙수 "80"의 사양의 타입이면 헤드(18)는 대략 중간위치로부터 외주방향으로 리버스 탐색하게 된다.

CPU(10)는 1펄스씩의 스텝 펄스 SP를 FDC(14)로부터 출력시켜서 헤드(18)를 외주방향으로 탐색한다. 이 스텝 펄스 SP에 동기해서 트랙카운터의 카운트치를 감산한다(스텝 S16). 헤드(18)가 스텝 펄스 SP에 동기해서 1트랙씩 이동할때마다 트랙 0센서(24)에 의하여 헤드(18)가 디스크(17)의 최외주 트랙 0의 위치까지 이동했는지의 여부를 검출한다(스텝 S17). 펄스수 "40"의 스텝 펄스 SP가 출력되어서 트랙 0센서(24)로부터 트랙 0 신호 TR0가 출력되면 CPU(10)는 FDD(13)가 트랙수 "40"의 사양의 타입인 것으로 식별한다(스텝 S20). 한편 트랙 0센서(24)로부터 트랙 0신호 TR0가 출력되면전에 트랙카운터의 카운트치 CV가 "0"이 되면 CPU(10)는 FDD(13)가 트랙수 "80"의 사양의 타입으로 식별한다(스텝 S18, S19).

이와 같은 식별처리에 의하여 FDD(13)가 트랙수 "80"의 사양의 타입으로 식별하면(스텝 S2의 아니오), CPU(10)는 본 발명에 관한 ID 데이터의 판독 처리로 이행한다(스텝 S3). 이 ID 데이터의 판독처리에서는 CPU(10)는 제 8 도와 같은 처리를 실행한다. 우선 CPU(10)는 FDC(14)를 제어하여, FDD(13)의 헤드(18)를 외주방향으로 탐색한다(스텝 S30). 헤드(18)가 디스크(17)의 최외주의 트랙 0의 위치까지 이동하여 트랙 0센서(24)로부터 트랙제로신호 TR0가 출력되면 헤드(18)의 탐색 방향을 외주방향으로 전환한다(스텝 S31, S32).

이 스텝 S32의 처리에 의하여 FDC(14)로부터 내주방향을 지시하는 논리레벨 "H"의 신호 DIR0이 출력된다. 또 트랙 0센서(24)로부터의 트랙제로신호 TR0는 논리레벨 "H"가 된다. 따라서 제 3 도의 도시와 같이 ID회로(15)를 구비한 FDD(13)이면, 카운터(21)는 클리어상태가 해제되어 FDC(14)로부터의 스텝 펄스 SP의 카운트 동작을 개시한다. 카운터(21)는 프리세트된 카운트치(예를들면 160)까지 카운트 업하면 터미널단자 TC로부터 논리레벨 "H"의 신호 TC를 출력한다. 여기에서 카운터(21)에 프리세트되는 카운트치는 FDD(13)의 통상의 판독/기록 모드에서는 있을수 없는 스텝 펄스 SP의 펄스수에 상당하는 값이다. 즉, 트랙수 "80"의 사양의 타입에서는 스텝 펄스 SP의 펄스수는 최대 "80"이므로 카운터(21)에 프리세트되는 카운트치는 81이상이면 되나, 여유를 가지고 그 배인 "160"으로 한다.

카운터(21)는 FDC(14)로부터의 스텝 펄스 SP를 "160"까지 카운트하면 터미널 단자 TC로부터 논리레벨 "H"의 신호 TC를 출력한다. 이 신호 TC가 출력되면 이 신호 TC를 반전하는 인버터(34)의 출력신호에 의하여 시프트 레지스터(20)의 각 플립플롭(30, 32, 33)에 데이터 "11"가 프리세트된다(스텝 S34). 한편, 플립플롭(22)은 카운터(21)로부터의 신호 TC에 동기해서 ID 식별 모드의 상태를 의미하는 ID 응답 상태를 래치한다. ID 응답상태가 세트되면 AND 게이트(25)로부터 논리레벨 "H"의 신호 G1이 출력되어 NAND 게이트(26)는 액티브가 되고, 시프트레지스터(20)로부터의 ID 데이터를 신호 WP의 인터페이스선을 통해서 FDC(14)에 전송하는 상태가 된다. 이때 NAND 게이트(28)는 비액티브의 상태이고, WP 센서(29)로부터 논리레벨 "L"의 기록보호 신호 WP가 출력되어도 전송 금지의 상태를 유지한다.

CPU(10)는 헤드(18)의 탐색방향을 내주방향으로 전환한다(스텝 S35). 따라서 FDC(14)로부터 외주방향을 지시하는 논리레벨 "L"의 신호 DIR가 출력된다. 이 신호 DIR에 의하여 AND 게이트(23)로부터 논리레벨 "L"의 클리어신호가 출력되어 카운터(21)는 클리어 상태가 된다. 한편 외주방향의 탐색에 필요한 스텝 펄스 SP가 FDC(14)로부터 FDD(13)에 출력된다. 이 스텝 펄스 SP는 시프트레지스터(20)의 각 플립플롭(30~33)의 클럭단자 CK에 공급된다. 따라서 스텝 펄스 SP에 동기해서 시프트레지스터(20)로부터 프리세트된 ID 데이터(여기에서는 4비트의 "1011"가)가 1비트씩 NAND 게이트(26)에 출력된다. 이것에 의하여 시프트 레지스터(20)로부터의 ID데이터가 신호 WP의 인터페이스선을 통해서 FDC(14)에 전송된다(스텝 S36).

FDC(14)는 전송된 ID 데이터를 CPU(10)에 전송한다. CPU(10)는 제 6 도의 도시와 같이 ID 데이터에 따라서 시스템에 접속된 FDD(13)가 트랙수 "80"이고 다른 사양이 종래의 타입과는 상이한 신형의 것으로 식별한다(스텝 S5). 한편, 종래의 타입의 경우에 FDD(13)에는 ID 회로(15)가 설치되어 있지 않으므로 결과적으로 ID 데이터는 모두 "0"이 된다. 이것에 의하여 CPU(10)는 트랙수 "80"이고 종래의 타입의 FDD(13)가 시스템에 접속되어 있는 것으로 식별한다(스텝 S7).

헤드(18)가 디스크(17)의 최외주의 트랙 0의 위치까지 이동하고, 트랙 0센서(24)로부터 트랙제로 신호 TR0가 출력된다(스텝 S34의 예). 논리레벨 "L"의 트랙제로 신호 TR0가 출력되면 플립플롭(22)은 클리어 된다. 따라서 NAND 게이트(26)는 비액티브의 상태가 되고 시프트 레지스터(20)로부터의 ID 데이터의 전송 금지상태를 유지하게 된다. 한편 NAND 게이트(28)는 액티브되고, WP 센서(29)로부터 논리레벨 "L"의 기록보호 신호 WP를 인터페이스선을 통해서 FDC(14)에 전송하는 상태가 된다. 즉 CPU(10)에 의한 식별 모드가 해제되어 FDD(13)의 통상의 판독/기록 모드가 세트된 상태로 된다.

이상과 같이 본 발명에 의하면 FDD의 사양중에서 트랙수가 다른 FDD를 식별하고, 또 트랙수가 동일하고, 다른 사양을 ID 데이터에 의하여 ID 회로(15)의 메모리(20)에 프리세트한다. CPU(10)는 스텝 펄스 SP의 카운트치를 이용하여 통상의 판독/기록 모드와는 상이한 식별모드의 상태를 확보한다. 이 식별모드시 메모리(20)에 프리세트된 ID 데이터를 독출하고, 이 ID 데이터에 따라 FDD의 식별처리를 실행한다.

또, 상기 실시예에는 메모리(20)에 프리세트되는 ID 데이터는 4비트의 경우를 설명했으나, 이것에 한정되는 것이 아님은 물론이다. 프리세트되는 ID 데이터는 FDD의 사양의 내용에 따라 미리 설정된다. CPU(10)는 예를들면 미리 ID 데이터와 FDD의 사양내용이 대응하는 테이블을 가지고, 이 테이블을 이용해서 시스템에 접속된 FDD의 사양을 식별하게 된다.

(57) 청구의 범위

청구항 1

기억장치 식별기능을 갖은 컴퓨터 시스템에 있어서, 상기 시스템의 중앙처리 장치(10)와 상기 기억장치(13)와의 인터페이스를 구성하고, 복수의 인터페이스 신호선(16)을 개재하여 상기 기억장치(13)에 접속되고, 상기 기억장치(13)와의 사이에서 각종 인터페이스 신호의 교환을 실시하는 인터페이스수단(14)과 ; 상기 기억장치(13)의 내부에 설치되어 상기 기억장치의 사양에 따라서 설정되는 식별 데이터를 격납하는 레지스터수단(20)을 가지고, 식별모드시 상기 레지스터 수단으로부터 출력되는 상기 식별데이터를 상기 복수의 인터페이스신호선중의 특정 신호선을 사용해서 상기 인터페이스수단(14)으로 전송하는 식별회로수단(15)을 구비하는 것을 특징으로하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 2

제 1 항에 있어서, 상기 기억장치(13)는 플로피 디스크 장치로 구성되고, 상기 인터페이스수단(14)은 플로피디스크 콘트롤러인것을 특징으로 하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 3

제 1 항에 있어서, 상기 식별회로수단(15)은 상기 복수의 인터페이스 신호선중의 기록보호 신호선을 사용하여 상기 식별 데이터를 상기 인터페이스수단으로 전송하는 것을 특징으로하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 4

제 1 항에 있어서, 상기 식별 회로수단(15)은 상기 인터페이스수단(14)으로부터 전송되는 소정의 인터페이스신호 SP에 동기해서 상기 식별 모드시에 상기 레지스터 수단으로부터 상기 식별 데이터를 판독하는 것을 특징으로하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 5

기억장치 식별기능을 갖는 컴퓨터 시스템에 있어서, 상기 시스템의 중앙 처리 장치(10)와 상기 기억

장치(13)와의 인터페이스를 구성하고, 복수의 인터페이스신호선(16)을 개재하여 상기 기억장치(13)에 접속되고, 상기 기억장치(13)와의 사이에서 각종 인터페이스신호의 교환을 실시하는 인터페이스 수단(14)과 ; 상기 기억장치(13)의 내부에 설치되고, 상기 인터페이스 수단으로부터 전송되는 제 1 인터페이스 신호에 동기해서 식별모드 정보를 세트하는 세트 수단과 ; 상기 기억장치의 사양에 따라서 설정되는 식별 데이터를 격납하는 레지스터 수단(20)과 ; 상기 인터페이스수단(14)으로부터 전송되는 제 2 인터페이스 신호에 동기해서 상기 세트수단에 세트된 상기 식별모드정보에 따라 상기 레지스터 수단으로부터 상기 식별 데이터를 판독하고, 제 3 인터페이스 신호의 신호선을 사용하여 상기 식별 데이터를 상기 인터페이스 수단(14)에 전송하는 신호전송수단(26)을 구비하는 것을 특징으로 하는 기억장치 식별 기능을 갖는 컴퓨터 시스템.

청구항 6

제 5 항에 있어서, 상기 기억장치(13)는 플로피 디스크장치로 구성되고, 상기 인터페이스 수단(14)은 플로피 디스크 컨트롤러인 것을 특징으로하는 기억장치 식별 기능을 갖는 컴퓨터 시스템.

청구항 7

제 5 항에 있어서, 상기 제 3 인터페이스 신호선은 기록보호 신호선인 것을 특징으로하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 8

제 5 항에 있어서, 상기 레지스터 수단은 시프트 레지스터로 구성되고, 상기 제 2 인터페이스신호에 동기해서 상기 식별 데이터를 출력하는 것을 특징으로하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 9

제 5 항에 있어서, 상기 인터페이스 수단으로부터 전송되는 스텝 펄스를 카운트 하고, 통상의 판독/기록 모드시에는 발생되지 않는 상기 스텝 펄스의 펄스수에 상당하는 카운트치까지 카운트업하면 유의 신호를 출력하는 카운터 수단(21)을 구비하고, 상기 세트수단(22)은 상기 카운터 수단(21)으로부터의 상기 유의신호에 동기하여 상기 식별모드정보를 세트하는 것을 특징으로하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 10

제 5 항에 있어서, 상기 인터페이스 수단으로부터 전송되는 스텝 펄스 SP를 카운트하고, 통상의 판독/기록 모드시에는 발생하지 않는 상기 스텝 펄스의 펄스수에 상당되는 카운트치까지 카운트업하면 유의 신호를 출력하는 카운터수단(21)을 구비하고, 상기 레지스터수단(20)은 상기 카운터수단(21)으로부터의 상기 유의신호에 동기하여 상기 식별이 프리세트되는 것을 특징으로하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 11

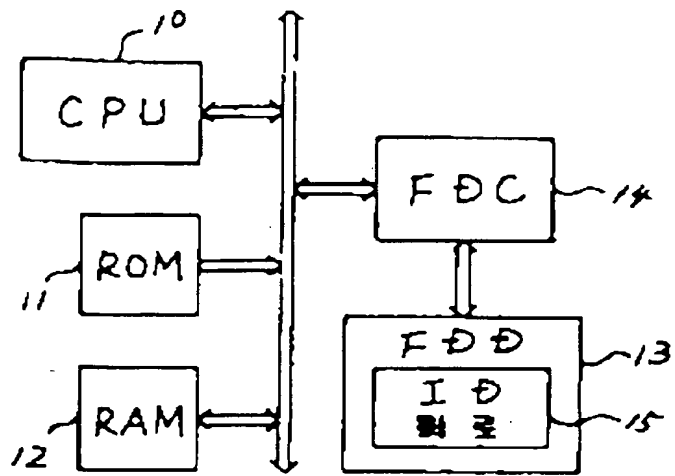
제 10 항에 있어서, 상기 레지스터 수단(20)은 상기 인터페이스수단으로부터 전송되는 스텝 펄스에 동기해서 상기 식별 데이터를 상기 신호 전송수단에 출력하는 것을 특징으로하는 기억장치 식별기능을 갖는 컴퓨터 시스템.

청구항 12

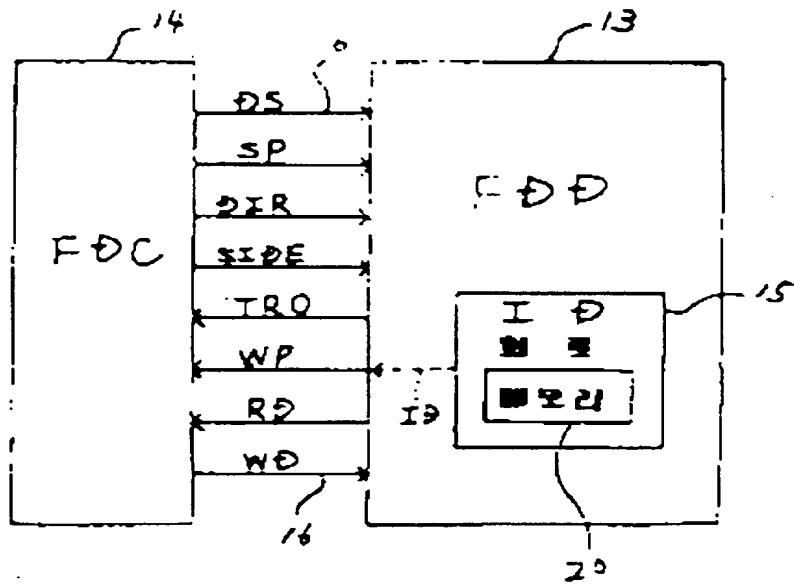
제 10 항에 있어서, 상기 식별모드시에 상기 카운터 수단(21)은 상기 플로피 디스크장치의 헤드가 내주 방향 또는 외주방향의 한쪽인 제 1 방향으로 탐색할 때에 상기 인터페이스 수단(14)으로부터 전송되는 스텝펄스 SP를 카운트하고, 상기 식별모드의 해제시에 제 2 방향으로 탐색하는 상기 헤드의 소정의 위치를 검출하는 트랙위치 검출수단(24)을 추가로 구비하며, 이 트랙 위치 검출수단(24)의 검출신호에 동기해서 상기 세트수단(22)에 세트된 식별 모드정보를 클리어하는 것을 특징으로하는 기억장치 식별 기능을 갖는 컴퓨터 시스템.

도면

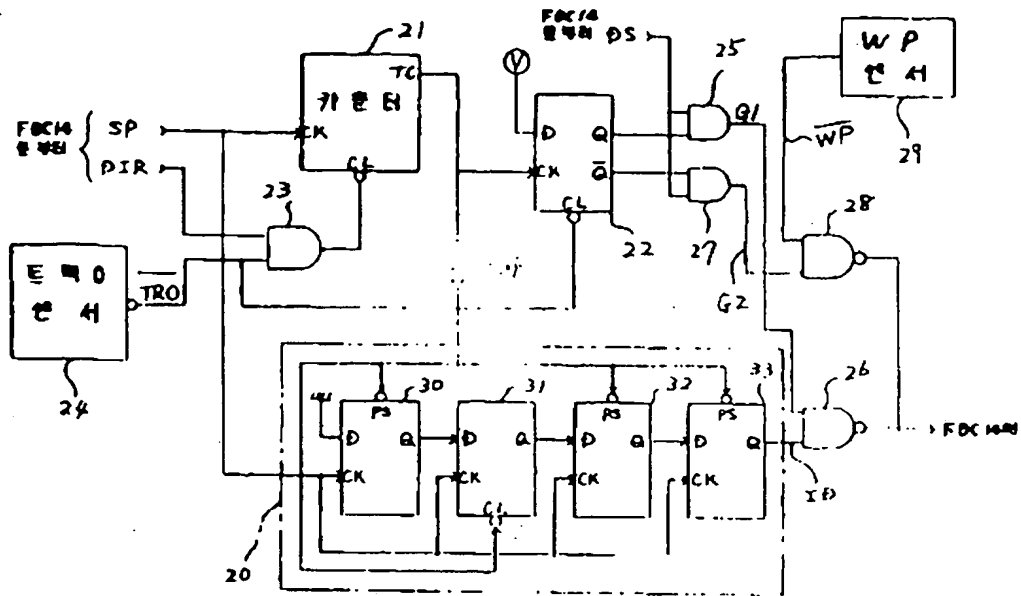
도면1



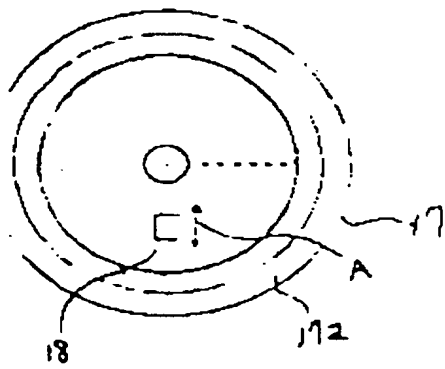
도면2



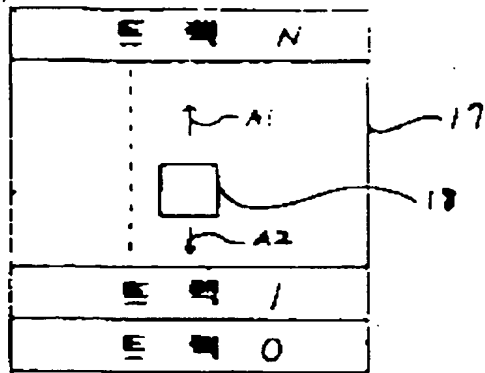
도면3



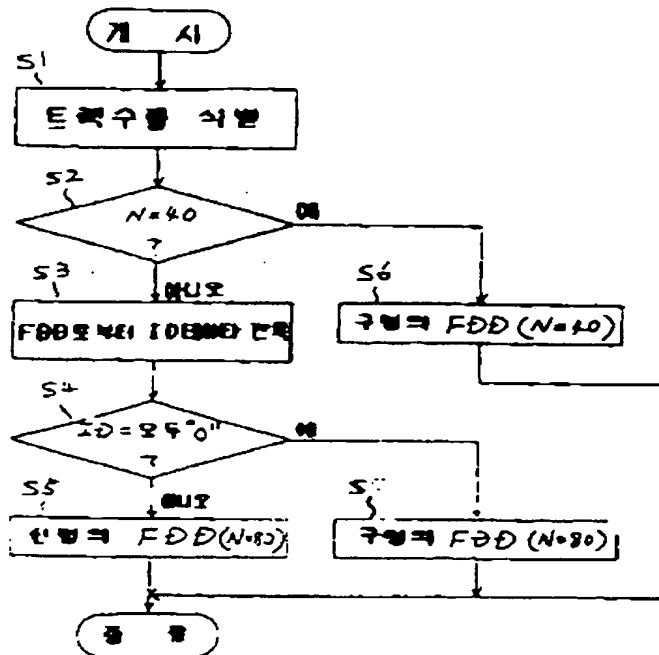
도면4



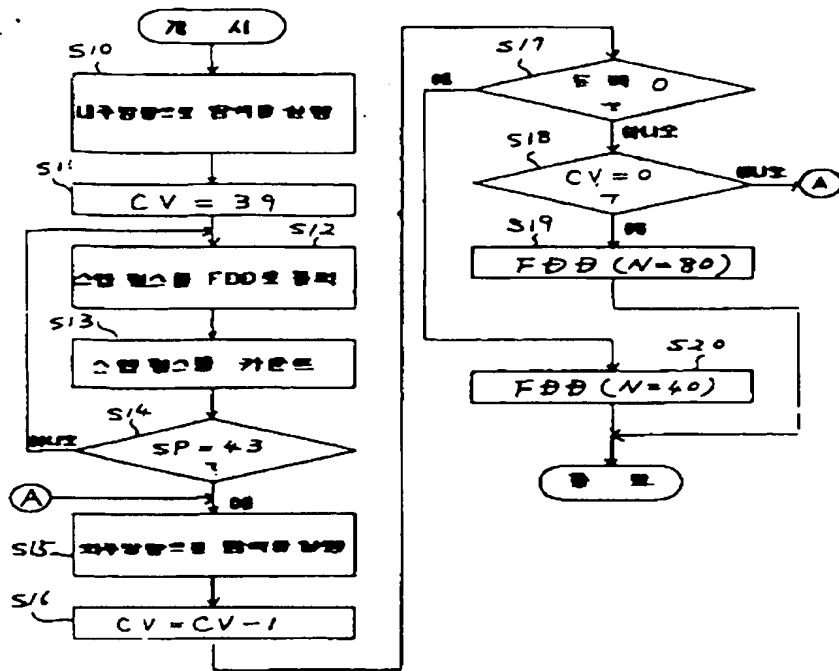
도면5



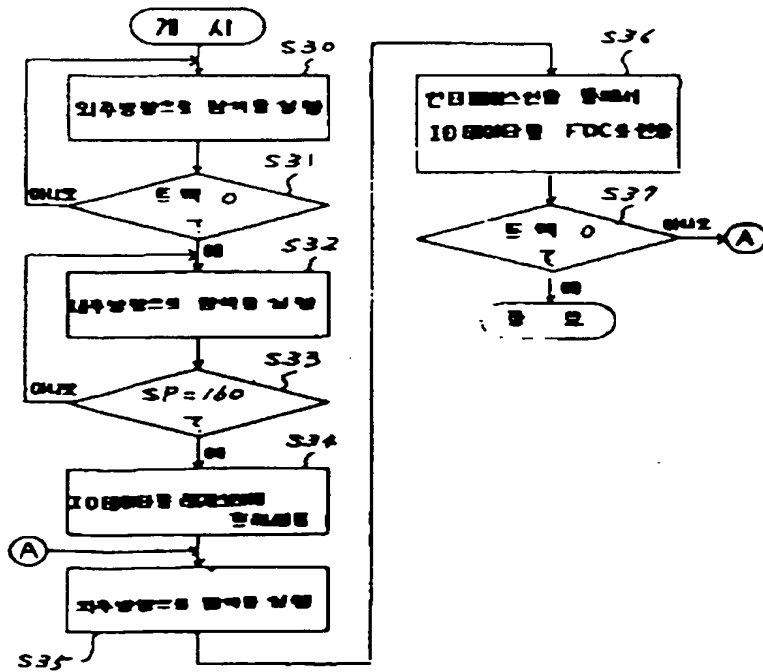
도면6



도면7



도면8



(19) Korean Patent Office (KR)

(12) Gazette of Patent (B1)

(45) Date of Publication: October 11, 1993

(11) Publication No. 1993-000981

(21) Application No. 1990-0017306

(65) Laid-Open No. 1991-0008652

(22) Application Date: October 29, 1990

(43) Laid-Open Date: May 31, 1991

(30) Claim of Priority 01.281735
October 31, 1989 Japan (JP)

(71) Applicant: Kabushiki Kaisha Toshiba, Aoi, Joichi
72, Horikawa-cho Saiwai-ku Kawasaki-shi Kanagawa Japan

(72) Inventor: Nobutaka Nakamura
Kabushiki Kaisha Toshiba Ome Factory, 2-9, Suehiro-cho
Ome-shi Tokyo Japan

(74) Agent: Rha, young-hwan Do, du-hyeong
Examiner: Hong, sun-woo (Official Gazette No.3433)

(54) Computer System Having Function for Identifying Memory
Device

Abstract: No content

Representative figure: Fig. 1

Specification

Title of the Invention

Computer System Having Function for Identifying
Memory Device

Brief Description of the Drawings

Fig. 1 is a block diagram for illustrating a computer system according to an embodiment of the present invention.

Fig. 2 is a block diagram for illustrating an external memory device according to the embodiment of the present invention.

Fig. 3 is a block diagram for illustrating an ID circuit according to the embodiment of the present invention.

Fig. 4 is a view for illustrating a disk used in a FDD according to the embodiment of the present invention.

Fig. 5 is a view for illustrating a head used in the FDD according to the embodiment of the present invention.

Figs. 6 to 8 illustrate a flow chart for illustrating operations according to the embodiment of the present invention.

Description of the Reference Numerals for Major Components
in the Drawings

10: CPU, 11: ROM, 12: RAM, 13: FDD, 14: FDC, 15: ID circuit,
16: interface, 17: disk, 18: head, 20: memory, 21: counter,
24: track 0 sensor

Detailed Description of the Invention

This invention relates to a device used as an external memory device for a computer and more particularly to a floppy disk drive and further relates to a system provided with a memory device identification function for identifying specifications of the floppy disk connected to a system.

Conventionally, in a computer system such as a personal computer, a floppy disk drive (FDD) is used as an external memory device. Multiple types of FDDs with different specifications have been developed. The specifications include items such as physical sizes (8-inch, 5.25-inch, 3.25-inch), recording densities and track densities (the number of tracks) and the like of a disk which is a memory medium.

An interface exclusive for a FDD is required to connect the FDD with the computer system. Typically, a standard interface which allows multiple types of FDDs to be connected with the computer system has been prepared.

This interface is called as a floppy disk controller (FDC) and has been developed as a LSI circuit.

In the computer system, a central processing unit (CPU) executes processing for identifying the presence or non-presence of a FDD that is connected to the system and its type upon initialization. This is because a CPU is

required to change control information to information for the FDD based on the FDD specifications. That is, the CPU is required to execute control based on parameters such as a data transmission rate for transmission with the FDD, step rate (a moving time per one track when a head searches data), track densities (maximum number of tracks) and maximum number of sectors since those parameters changes depending on the FDD specifications.

With one of the methods of identifying the types of FDDs, the number of tracks (the number of cylinders), which is one of the FDD specifications, is identified using a step pulse that is generated for search operations of the head based on the position of the track 0. In this case, the step pulse is a pulse for use in driving a stepping motor that serves as a driving source for a carriage having the head mounted thereon. Typically, the head moves by one track with at least one step pulse. This method enables the number of tracks of the FDD connected to the system to be identified. With this method, however, only FDDs with the different number of tracks can be identified. If the number of tracks of the FDD is the same, the FDD cannot be identified even if the recording density of the FDD is different.

With this conventional identification method, only FDDs with the number of tracks that is limited can be

identified. In the case where the number of tracks of a new type FDD is the same as that of another FDD that was connected with the system, if the new type FDD with a different FDD specification is connected with the system, a CPU cannot identify the new type FDD.

It is an object of the present invention to provide a computer system that is capable of automatically identifying multiple external memory devices such as a FDD which are connected with a computer system without limiting to the number of tracks or the like for identification even if the external memory devices have different specifications from each other. According to the present invention, if a memory device with some different specifications, such as a recording density, the size of a recording device, and a presence or non-presence of a reject mechanism, is used with the computer system, the specifications can be automatically identified without an operator.

The computer system having a function for identifying a memory device comprises an interface between a CPU of the computer system and the memory device. The computer system is connected with the memory device through multiple interface signal lines. In addition, the computer system includes an interface unit and a register unit. The interface unit exchanges various interface signals with the

memory device. The register unit stores identification data set based on the specifications of the memory device. The computer system further includes an identification circuit unit and a control unit. The identification circuit unit has signal transmission means for transmitting the identification data output from the register unit to the interface unit through a predetermined signal line. The control unit identifies the specifications of the memory device that is connected to the computer system based on the identification data transmitted from the identification circuit unit and executes drive control over the memory device.

Referring now to the drawings, one preferred embodiment of the present invention will be described below.

Fig. 1 is a block diagram for illustrating a major part of the computer system of the present invention. The main body of the present system comprises a central processing unit (CPU) (10), ROM (11) and RAM (12). The CPU (10) executes various data processing according to a program stored in ROM (11) and data stored in RAM (12). This system has a configuration in which either a single or a plurality of FDDs (13) can be connected as an external memory device.

This system comprises an FDC (14) constituting an interface between the FDD (13) and the CPU (10). The FDC (14) executes drive control for the FDD (13) according to control of the CPU (10) and exchanges various interface signals. The FDD (13) of the present invention is provided with an identification circuit (ID circuit) (15) for outputting identification data (hereinafter called as ID data) for use in identifying the specifications of the FDD.

As shown in Fig. 2, the FDD (13) and the FDC (14) are connected by a plurality of interface lines (16) so as to exchange various interface signals through each of the interfaces (16). The interface signals includes a drive selector signal (DS), a step pulse (SP), a direction signal (DIR), a head change-over signal (SIDE) and a data write signal (WD), which are output from the FDC (14), for example. Signals output from FDD (13), on the other hand, includes a track 0 signal (TR0), a write protection signal (WP) and a data read signal (RD), for example. According to the present invention, the ID circuit (15) mounted in the FDD (13) has a memory (20) which stores ID data. The ID circuit (15) is constituted to transmit ID data output from the memory (20) to the FDC (14) through the interface signal line (16) for use in transmitting the write protection signal (WP).

As shown in Fig. 4, the FDD (13) is provided with a head (18) for performing read/write operations to the disk (17) used as a recoding medium. Both surfaces of the disk (17) are formed with a plurality of concentric tracks (17a) through a format operation of FDC (14). Normally, the outermost peripheral track of the disk (17) is a track 0. The head (18) is mounted on a carriage mechanism (not shown), and constituted in such a way that the head moves (searches) by a driving force of a stepping motor in a carriage mechanism in a radial direction (an arrow A) of the disk (17). The head (18) is instructed by a signal DIR transmitted from the FDC (14) for its moving direction (either an inner or an outer peripheral direction). In this case, when the signal DIR with a logic level "H" is output, the head is instructed to move to the inner peripheral direction. When the signal DIR with a logic level "L" is output, on the other hand, the head is instructed to move to the outer peripheral direction. In addition, the head (18) moves to a specified target track in synchronous with a step pulse (SP) transmitted from the FDC (14). The FDC (14) outputs a step pulse with a pulse number corresponding to a moving distance (the number of tracks) of head (18). The head (18) moves by one track with a step pulse with the pulse number 1.

As shown in Fig. 3, the ID circuit (15) is a logic circuit comprising a counter (21), flip-flop (22) constituting a latch circuit and a memory (20) constituted by shift registers. The counter (21) counts step pulses (SP) input to a lock terminal CK. When the counter counts up to a preset count value (for example, 160), it outputs a signal TC with a logic level "H" from the terminal end TC. An output signal output from an AND gate (23) is input to a clear terminal CL of the counter (21). Both a signal DIR from the FDC (14) and a track 0 signal TR0 from the track 0 sensor (24) are input to each input terminal of the AND gate (23).

The track 0 sensor (24) is mounted in the FDD (13). As shown in Fig. 5, when the head (18) moves to a position of the outermost peripheral track 0 of the disk (17), the track 0 sensor (24) detects it and outputs a track 0 signal TR0 with a logic level "L". Upon receiving the track 0 signal TR0 as an interface signal, FDC (14) detects that the head (18) is positioned at the outermost peripheral track 0 which is a reference search position.

The flip-flop (22) is a latch circuit for use in latching an ID responding state in synchronous with the signal TC transmitted from the counter (21) input to the clock terminal CK. The ID responding state is an identification mode in which ID data is input to the CPU

(10) instead of a normal mode (read/write mode). Upon setting the ID responding state, the flip-flop (22) outputs a signal with a logic level "H" from an output terminal Q to an input terminal at one side of an AND gate (25). At the AND gate (25), a drive select signal DS is input from the FDC (14) to the other input terminal. A signal G1 at the output terminal is input to one input terminal of a NAND gate (26). A signal from the output terminal Q of the flip-flop (22), on the other hand, is output to one side input terminal of an AND gate (27). The drive select signal DS is input to the other input terminal of the AND gate (27) and a signal G2 from the output terminal is output to one input terminal of a NAND gate (28).

A write protection signal WP is input to the other input terminal of the NAND gate (28) from the write protection sensor (WP sensor) (29). Upon inputting of a signal G2 with a logic level "H" from AND gate (27), the NAND gate (28) becomes active and transmits the write protection signal WP with a logic level "L" as an interface signal. WP sensor (29) is mounted in the FDD (13). Upon detecting a write protection detection slide that is installed in a case for storing the disk (17), the WP sensor (29) outputs a signal WO with a logic level "L". The FDC (14) prohibits a data write operation to the disk (17) by receiving the signal WP as the interface signal.

An ID data output from the memory (20) is input to one input terminal of the NAND gate (26). The NAND gate (26) becomes active upon inputting a signal G1 with a logic level "H" from the AND gate (25) and transmits ID data stored in the memory (20) to the FDC (14) as the interface signal instead of the signal WP.

The memory (20) is a shift register having a plurality of (four in this case) preset type flip-flops (30 to 33). For each of the flip-flops (30 to 33), data "1" is preset when a signal output from the inverter (34) is input to a preset terminal PS. The signal output from the inverter reverses a signal TC from the counter (21). In this case, however, the presetting of data "1" to the flip-flop (31) is not executed. That is, a four-bit shift register is constituted in the memory (20) and ID data of "1011" is preset in synchronous with an output signal of the inverter (34). This ID data means one of specifications of a new type FDD since other specifications are different from that of the conventional types and the number of tracks, for example, is "80".

Then, an operation of the abovementioned preferred embodiment will be described below.

At first, in the case of identification processing in step S1 in Fig. 6, the CPU (10) identifies the number of tracks based on the specifications of the FDD (13)

connected to the computer system. That is, it identifies whether or not the system is of a type of the number of tracks "40" (step S6) or a type of the number of tracks "80", for example. Then, the present invention identifies whether or not the FDD (13) is a conventional type with the number of tracks of "80" (step S7) or a new type different from the conventional ones (step S5).

In the case of the identification processing at the step S1, the CPU (10) executes the processing illustrated in Fig. 7. That is, the CPU (10) controls the FDC (14) in the same manner as in step S10 in order to make the head (18) of the FDD (13) perform a search operation in an inner peripheral direction. In this case, CPU (10) sets a preset count value VC of a track counter (not illustrated) required for searching and controlling the head (18) to "39", for example (step S11). Then, the step pulse SP with the pulse number of "43", for example, is supplied from the FDC (14) to the FDD (13) (step S12). As shown in Fig. 5, the head (18) moves in an inner peripheral direction (an arrow A1) of the disk (17) in synchronous with the step pulse SP transmitted from FDC (14). The CPU (10) counts the step pulse SP and outputs the pulse number of "43" (steps S13, S14), and then changes the search direction of the head (18) to an outer peripheral direction (step S15). That is, if the FDD (13) connected to the system is of a

type with the specification of the number of tracks "40", the head (18) moves to the innermost peripheral track (a track N shown in Fig. 5) to perform the search operation from the innermost peripheral track to the outer peripheral direction. In addition, if the FDD (13) is of a type with the specification of the number of tracks "80", the head (18) searches in reverse from its approximate intermediate position to the outer peripheral direction.

The CPU (10) outputs the step pulse SP per pulse from the FDC (14) and makes the head (18) to perform the search operation in an outer peripheral direction. A counted value in the track counter is subtracted in synchronous with this step pulse SP (step S16). Each time the head (18) moves by 1 track in synchronous with the step pulse SP, the track 0 sensor (24) detects whether or not the head (18) arrived at the position of the outermost peripheral track 0 of the disk (17) (step S17). When the step pulse SP with the pulse number of "40" is output and the track 0 signal TR0 is output from the track 0 sensor (24), the CPU (10) identifies that the FDD (13) is of a type with the specification of the number of tracks "40" (step S20). When the counted value CV in the track counter becomes "0" before the track 0 signal TR0 is output from the track 0 sensor (24), on the other hand, the CPU (10)

identifies the FDD (13) as the type with the number of tracks "80" (steps S18, S19).

With the identification processing, when the FDD (13) is of a type with the number of tracks "80" (NO in a step S2), the CPU (10) proceeds to ID data read processing according to the present invention (step S3). The CPU (10) executes the ID data read processing as shown in Fig. 8. First, the CPU (10) controls SMS FDC (14) to make the head (18) of the FDD (13) perform the search operation in an outer peripheral direction (step S30). When the head (18) arrived at the position of track 0 which is the outermost periphery of the disk (17) and the track 0 signal TR0 is output from the track 0 sensor (24), the search direction of the head (18) is switched to the outer peripheral direction (steps S31, S32).

The processing in step S32 causes a signal DR with a logic level "H" to be output. The signal DR indicates a search operation in an inner peripheral direction. In addition, the track 0 signal TR0 transmitted from the track 0 sensor (24) becomes a logic level "H". Accordingly, as shown in Fig. 3, the counter (21) is cancelled its cleared state from the FDD (13) having the ID circuit (15) and starts a counting operation for the step pulse SP from FDC (14). Upon counting up to the preset counted value (160, for example), the counter (21) outputs the signal TC with a

logic level "H" from the terminal end TC. In this case, the counted value preset in the counter (21) is a value corresponding to the pulse number of the step pulse SP that cannot be obtained under a normal read/write mode of the FDD (13). That is, the pulse number of the step pulse SP in the case of the type with the specification of the number of tracks "80" is a maximum value of "80". Thus, no problem occurs if the counted value preset in the counter (21) is 81 or more, and then the value is set to "160" which is twice its value with margin.

Upon counting of the step pulse SP transmitted from the FDC (14) up to "160", the counter (21) outputs the signal TC with a logic level "H" from the terminal end TC. Upon outputting of this signal TC, data "11" is preset for each of the flip-flops (30, 32, 33) in the shift register (20) by a signal output from an inverter (34) which inverses the signal TC (a step S34). The flip-flop (22) latches an ID responding state that indicates a state of the identification mode in synchronous with the signal TC from the counter (21). Upon setting the ID responding state, a signal G1 with a logic level "H" is output from the AND gate (25). Then, the NAND gate (26) becomes active and becomes a state where the ID data transmitted from the shift register (20) is transmitted to the FDC (14) through an interface line for the signal WP. At this time, the

NAND gate (28) is in a non-active state and does not perform transmission even if the write protection signal WP with a logic level "L" is output from the WP sensor (29).

The CPU (10) switches the search direction of the head (18) to an inner peripheral direction (step S35). Accordingly, the signal DIR with a logic level "L" that indicates a search operation in an outer peripheral direction is output from the FDC (14). Due to this signal DIR, A clear signal with a logic level "L" is output from the AND gate (23) and then the counter (21) becomes a cleared state. The step pulse SP required for a search operation in an outer peripheral direction is output from the FDC (14) to the FDD (13). This step pulse SP is supplied to clock terminals CK of each flip-flop (30 to 33) in the shift register (20). Accordingly, the preset ID data ("1011" of four bits in this case) is output from the shift register (20) to the NAND gate (26) bit by bit in synchronous with the step pulse SP. With this operation, ID data transmitted from the shift register (20) is transmitted to the FDC (14) through an interface line of the signal WP (step S36).

FDC (14) transmits the transmitted ID data to the CPU (10). As shown in Fig. 6, the CPU (10) identifies the FDD (13) connected to the system as a new type FDD with the number of tracks "80" and other specifications different

from that of the conventional types based on the ID data (step S5). In the case of the conventional type, on the other hand, all the ID data becomes "0" since the ID circuit (15) is not mounted in the FDD (13). With such an arrangement as above, the CPU (10) identifies that the conventional FDD (13) with the number of tracks "80" is connected with the system (step S7).

If the head (18) arrived at the position of the outermost peripheral track 0 of the disk (17), the track 0 signal TR0 is output from the track 0 sensor (24) (example in step S34). Upon outputting the track 0 signal TR0 with a logic level "L", the flip-flop (22) is cleared. Accordingly, the NAND gate (26) becomes a non-active state to prohibit transmission of ID data transmitted from the shift register (20). The NAND gate (28), on the other hand, becomes active and becomes a state in which the write protection signal WP with a logic level "L" is transmitted from the WP sensor (29) to the FDC (14) through the interface line. That is, the identification mode set by the CPU (10) is switched and the normal read/write mode of the FDD (13) is set.

Thus, according to the present invention, a FDD with the different number of tracks can be identified. In addition, different specifications with the same number of tracks are preset in the memory (20) of the ID circuit (15)

based on the ID data. The CPU (10) maintains the identification mode which is different from the normal read/write mode by using the counted value of the step pulse SP. The ID data preset in the memory (20) is read out in this identification mode and FDD identification processing is executed based on this ID data.

In addition, in the abovementioned preferred embodiment, the case of 4-bit ID data preset in the memory (20) has been described. It is apparent that the preferred embodiment is not limited to the case. The preset ID data is set in advance based on the contents of FDD specifications. For example, the CPU (10) has in advance ID data and a table in which the contents of the FDD specifications are included. The specifications of a FDD connected to the system are identified through use of this table.

(57) Claims

Claim 1

A computer system having a function for identifying a memory device, the computer system comprising:

interface means (14) for constituting an interface between a central processing unit (10) in the computer system and a memory device (13), connecting with the memory device (13) through a plurality of interface signal lines (16), and exchanging various interface signals between the computer system and the memory device (13); and

identification circuit means (15) for providing register means (20) in the memory device (13) so as to store identification data set based on the specifications of the memory device, and transmitting the identification data output from the register means to the interface means (14) under an identification mode by using a specified signal line of a plurality of interface signal lines.

Claim 2

The computer system having a function for identifying a memory device according to claim 1, wherein

the memory device (13) is constituted by a floppy disk drive, and the interface means (14) is a floppy disk controller.

Claim 3

The computer system having a function for identifying a memory device according to claim 1, wherein the identification circuit means (15) transmits the identification data to the interface means through a write protection signal line of the plurality of interface signal lines.

Claim 4

The computer system having a function for identifying a memory device according to claim 1, wherein the identification circuit means (15) reads out the identification data output from the register means under the identification mode in synchronous with a predetermined interface signal SP transmitted from the interface means (14).

Claim 5

A computer system having a function for identifying a memory device, the computer system comprising:

interface means (14) for constituting an interface between a central processing unit (10) in the computer system and a memory device (13), connecting with the memory device (13) through a plurality of interface signal lines (16), and exchanging various interface signals between the computer system and the memory device (13); and

set means for being provided in the memory device (13) so as to set identification mode information in

synchronous with a first interface signal transmitted from the interface means;

register means (20) storing the identification data set based on the specifications of the memory device; and

signal transmitting means (26) for reading out the identification data transmitted from the register means in synchronous with a second interface signal transmitted from the interface means (14) based on the identification mode information set in the set means, and then transmitting the identification data to the interface means (14) through a signal line for a third interface signal.

Claim 6

The computer system having a function for identifying a memory device according to claim 5, wherein

the memory device (13) is constituted by a floppy disk drive, and the interface means (14) is a floppy disk controller.

Claim 7

The computer system having a function for identifying a memory device according to claim 5, wherein

the third interface signal line is a recoding protection signal line.

Claim 8

The computer system having a function for identifying a memory device according to claim 5, wherein

the register means is constituted by a shift register and outputs the identification data in synchronous with the second interface signal.

Claim 9

The computer system having a function for identifying a memory device according to claim 5, the computer system comprising:

counter means (21) for counting a step pulse transmitted from the interface means and outputting an effective signal upon counting up to a count value corresponding to the step pulse that is not generated in a normal read/write mode; and

wherein the set means (22) sets the identification mode information in synchronous with the effective signal output from the counter means (21).

Claim 10

The computer system having a function for identifying a memory device according to claim 5, the computer system comprising:

counter means (21) for counting a step pulse transmitted from the interface means and outputting an effective signal upon counting up to a count value corresponding to the step pulse that is not generated in a normal read/write mode; and

wherein, in the register means (20), the identification data is preset in synchronous with an effective signal output from the counter means (21).

Claim 11

The computer system having a function for identifying a memory device according to claim 10, wherein the register means (20) outputs the identification data to the signal transmitting means in synchronous with a step pulse transmitted from the interface means.

Claim 12

The computer system having a function for identifying a memory device according to claim 10, wherein the counter means (21) counts the step pulse SP transmitted from the interface means (14) in the identification mode when the head of the floppy disk drive searches in a first direction that is either an inner or outer peripheral direction; and wherein

a track position detecting means (24) is provided for detecting a predetermined position of the head that performs a search operation in a second direction when the identification mode is cancelled, and the identification mode information set in the set means (22) is cleared in synchronous with a detection signal of the track position detecting means (24).

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.